Санкт-Петербургский политехнический университет Петра Великого

Институт компьютерных наук и кибербезопасности

Высшая школа компьютерных технологий и информационных систем

**Отчёт по лабораторной работе № 8**

Дисциплина: Автоматизация проектирования дискретных  
устройств (на английском языке).

Выполнил студент гр. 5130901/10101 \_\_\_\_\_\_\_\_\_\_\_\_\_\_ Д.Л. Симоновский (подпись)

Руководитель \_\_\_\_\_\_\_\_\_\_\_\_\_\_ А.П. Антонов (подпись)

“24” марта 2024 г.

Санкт-Петербург

2024

Оглавление

[1. Список иллюстраций: 2](#_Toc162817552)

[2. Алгоритм работы проекта: 3](#_Toc162817553)

[3. Ход работы: 3](#_Toc162817554)

[4. Вывод: 11](#_Toc162817555)

# Список иллюстраций:

[Рис. 1. Схема разрабатываемого устройства. 3](#_Toc162817556)

[Рис. 2. Добавление папки с IP модулями. 3](#_Toc162817557)

[Рис. 3. Результат добавления компонентов на схему. 3](#_Toc162817558)

[Рис. 4. Настройка clk. 4](#_Toc162817559)

[Рис. 5. Настройка очереди. 4](#_Toc162817560)

[Рис. 6. Переименование компонентов. 5](#_Toc162817561)

[Рис. 7. Подключения clk и reset. 5](#_Toc162817562)

[Рис. 8. Подключение данных. 5](#_Toc162817563)

[Рис. 9. Результат. 6](#_Toc162817564)

[Рис. 10. Block Symbol разработанного IP модуля. 6](#_Toc162817565)

[Рис. 11. Сигналы clk. 7](#_Toc162817566)

[Рис. 12. Сигналы rst. 7](#_Toc162817567)

[Рис. 13. Результат Show System with Platform Designer Interconnect. 8](#_Toc162817568)

[Рис. 14. Schematic. 8](#_Toc162817569)

[Рис. 15. Добавленные модули к проекту. 9](#_Toc162817570)

[Рис. 16. RTL Viewer устройства. 9](#_Toc162817571)

[Рис. 17. Результат запуска тестового модуля. 10](#_Toc162817572)

[Рис. 18. Настройка для Signal Tap II. 11](#_Toc162817573)

[Рис. 19. Signal Tap II. 11](#_Toc162817574)

# Алгоритм работы проекта:

Средствами Platform Designer создать структуру проекта, представленную на рисунке ниже:

Изображение выглядит как текст, снимок экрана, Шрифт, диаграмма

Автоматически созданное описание

Рис. 1. Схема разрабатываемого устройства.

# Ход работы:

Выполним создание проекта со стандартными настройками, после чего добавим в проект IP файлы, предоставленные к данной лабораторной работе:

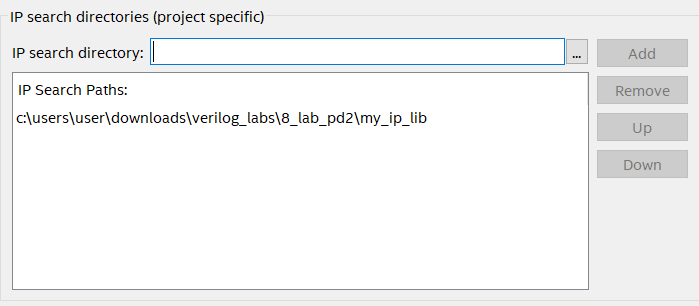


Рис. 2. Добавление папки с IP модулями.

Добавим компоненты: MyST\_source\_component, Avalon-ST Single Clock FIFO и MyST\_sink\_component. Таким образом, получим следующий результат:

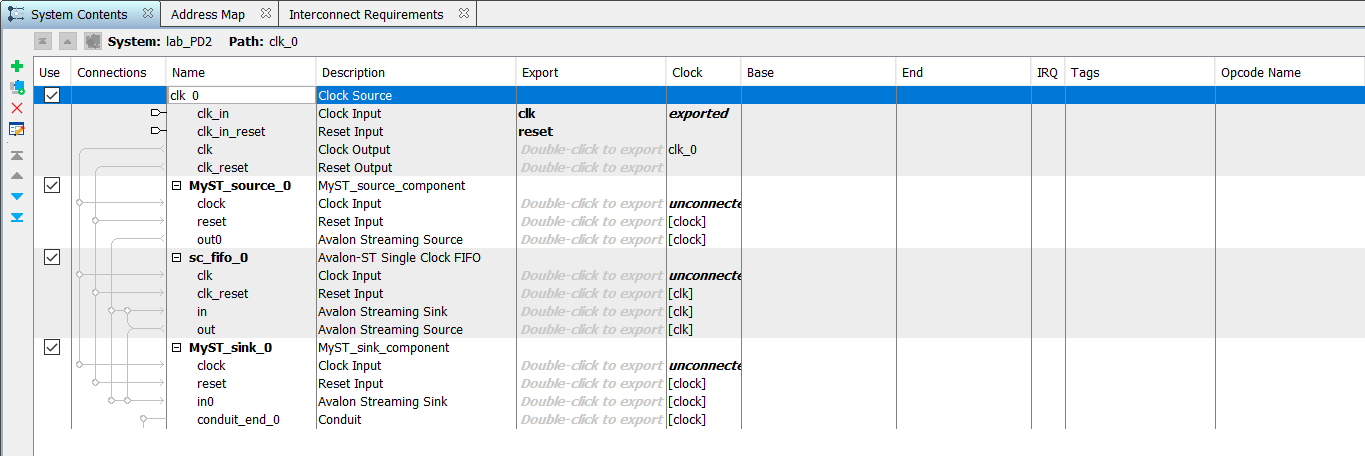


Рис. 3. Результат добавления компонентов на схему.

Настройку CLK модуля:

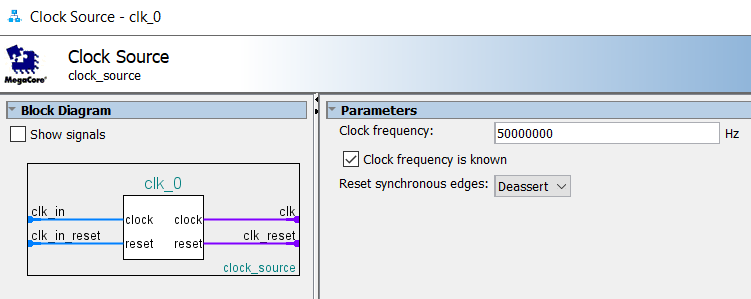


Рис. 4. Настройка clk.

Далее выполним настройку очереди:

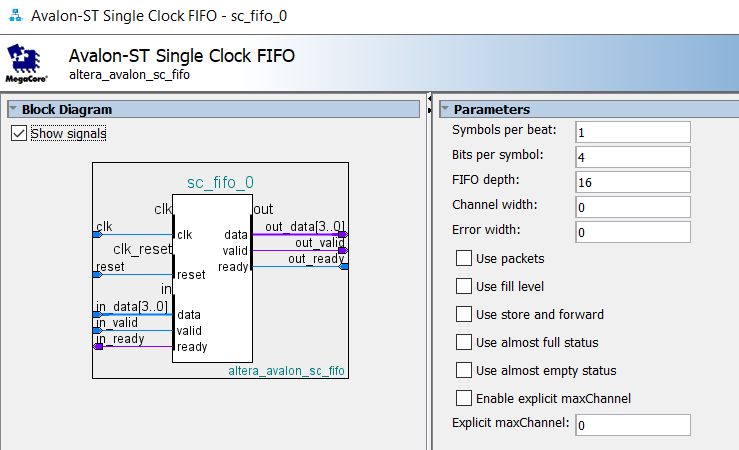


Рис. 5. Настройка очереди.

Переименуем все компоненты и получим следующий результат:

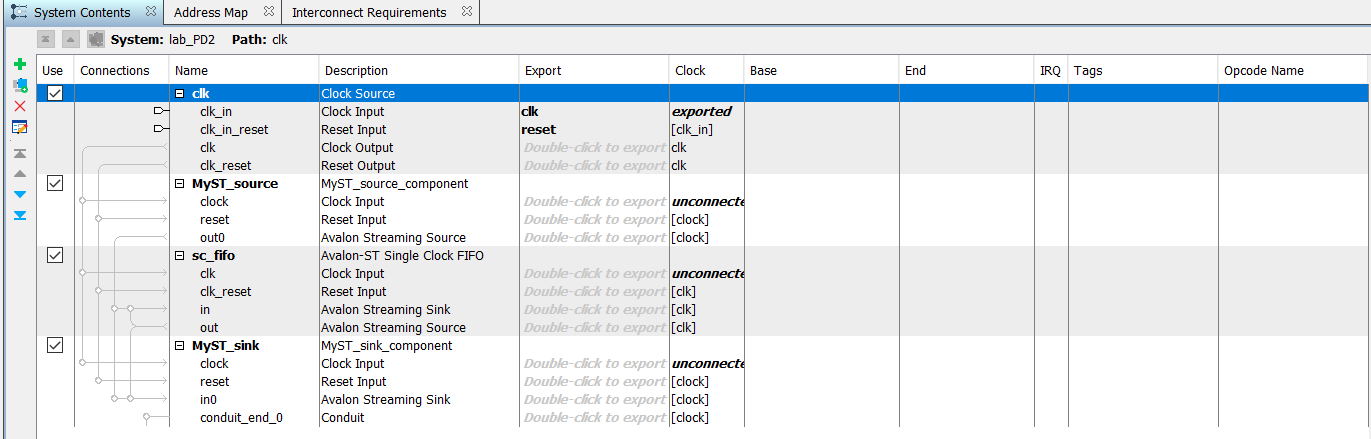


Рис. 6. Переименование компонентов.

Далее выполним подключения сигналов clk и reset:

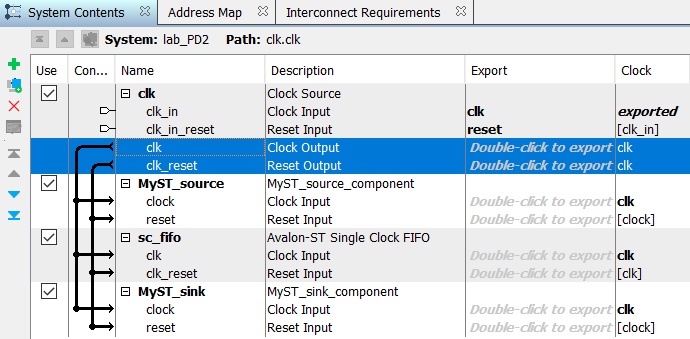


Рис. 7. Подключения clk и reset.

Выполним подключение «шины данных»:

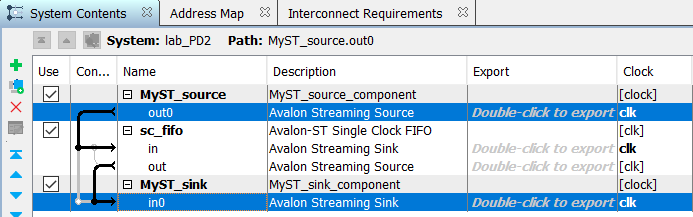


Рис. 8. Подключение данных.

Результат выглядит следующим образом:

Изображение выглядит как текст, снимок экрана, число, программное обеспечение

Автоматически созданное описание

Рис. 9. Результат.

Посмотрим на получившийся Block Symbol:

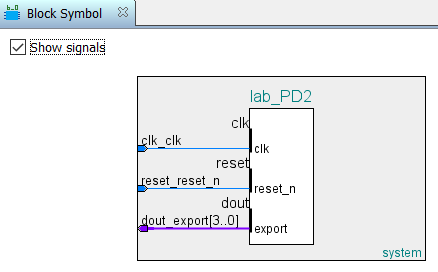


Рис. 10. Block Symbol разработанного IP модуля.

Далее посмотрим на сигналы clk и reset, что не возникает никаких дополнительных контроллеров:

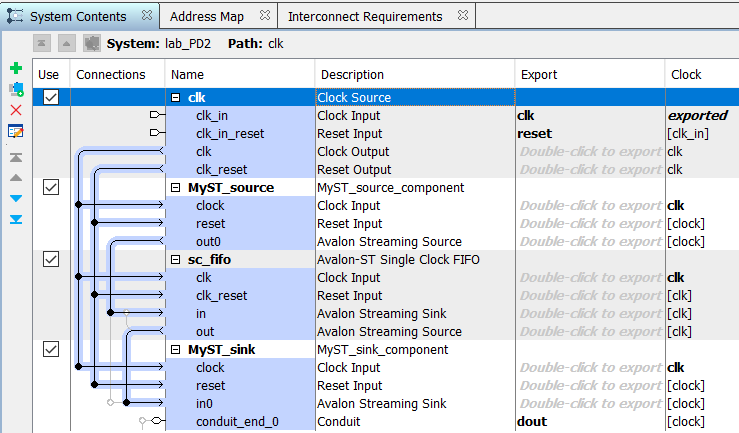


Рис. 11. Сигналы clk.

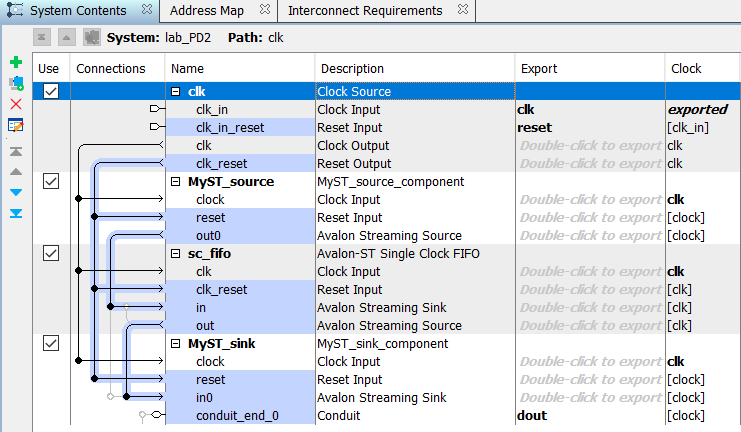


Рис. 12. Сигналы rst.

Выполним команду Show System with Platform Designer Interconnect:

Изображение выглядит как текст, снимок экрана, число, программное обеспечение

Автоматически созданное описание

Рис. 13. Результат Show System with Platform Designer Interconnect.

Посмотрим на соединения настроенных модулей в Schematic:

Изображение выглядит как текст, диаграмма, снимок экрана, Прямоугольник

Автоматически созданное описание

Рис. 14. Schematic.

Добавим созданные модули в проект:

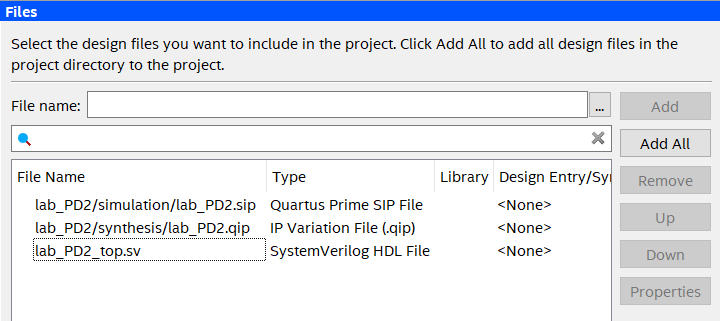
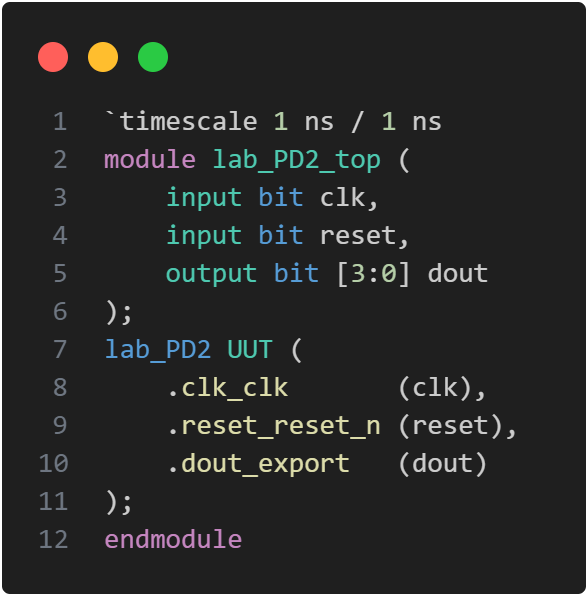


Рис. 15. Добавленные модули к проекту.

Подключим к проекту файл верхнего уровня и выполним компиляцию



Посмотрим на RTL Viewer:

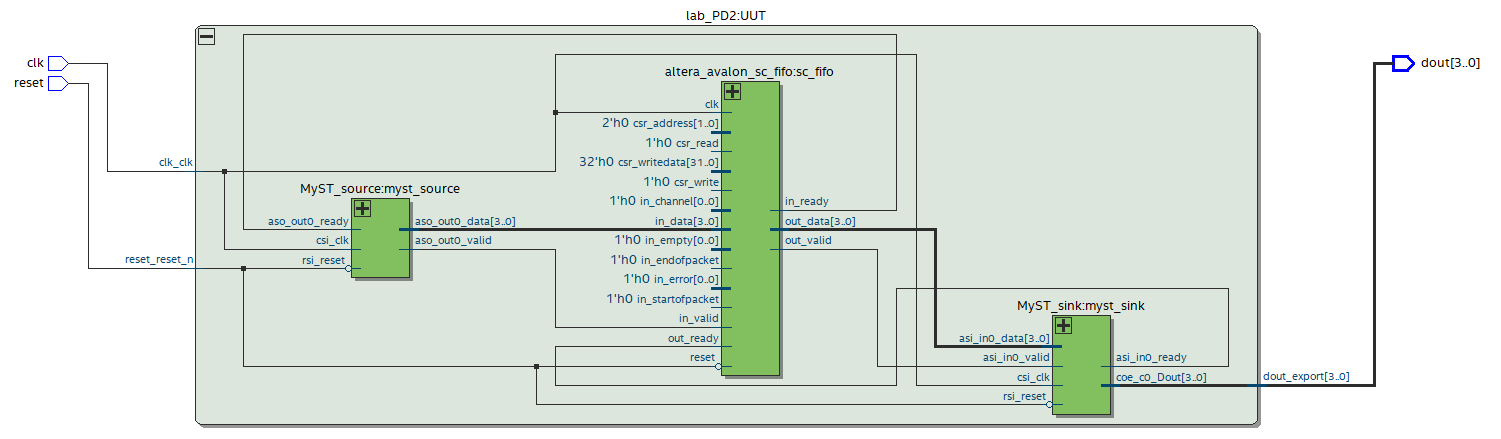
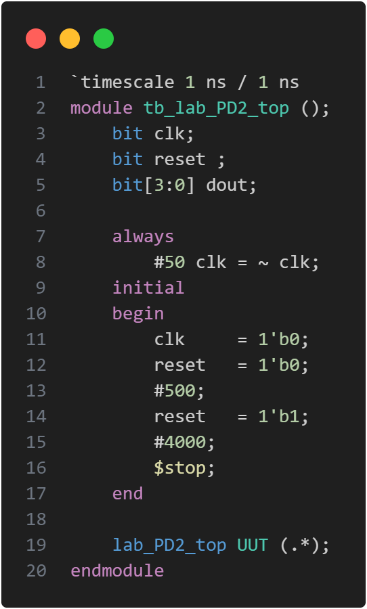


Рис. 16. RTL Viewer устройства.

Протестируем проект, используя следующий тестовый файл:



Результат запуска приведен ниже:

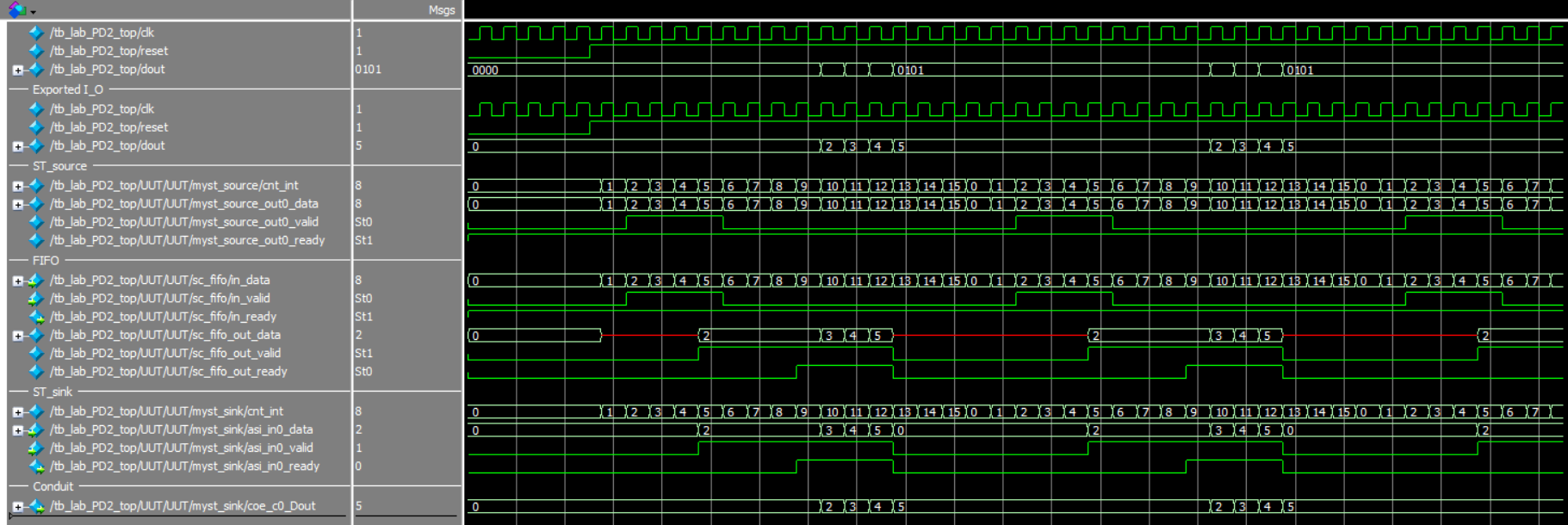
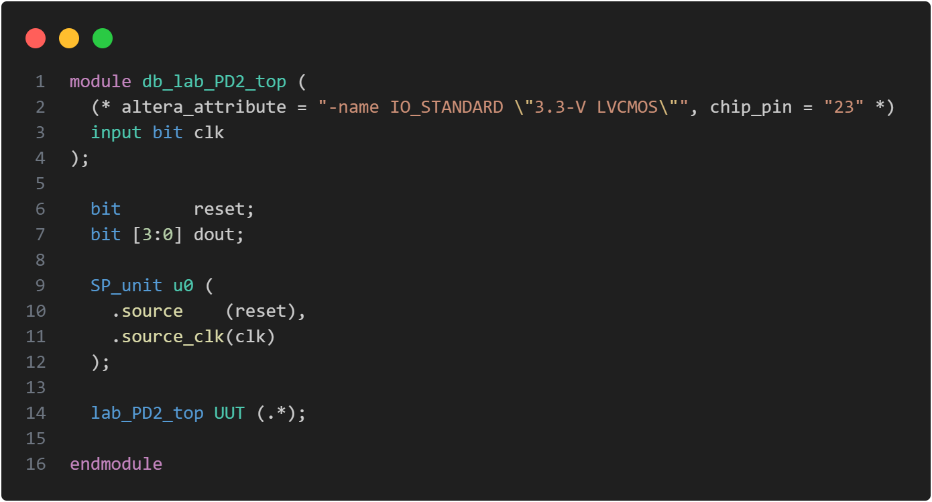


Рис. 17. Результат запуска тестового модуля.

Как мы видим, разработанное устройство соответствует ожиданиям.

Для тестирования на плате создадим следующий модуль, который позволяет изменять rst, используя SP unit:



Выполним следующую настройку для Signal Tap II:

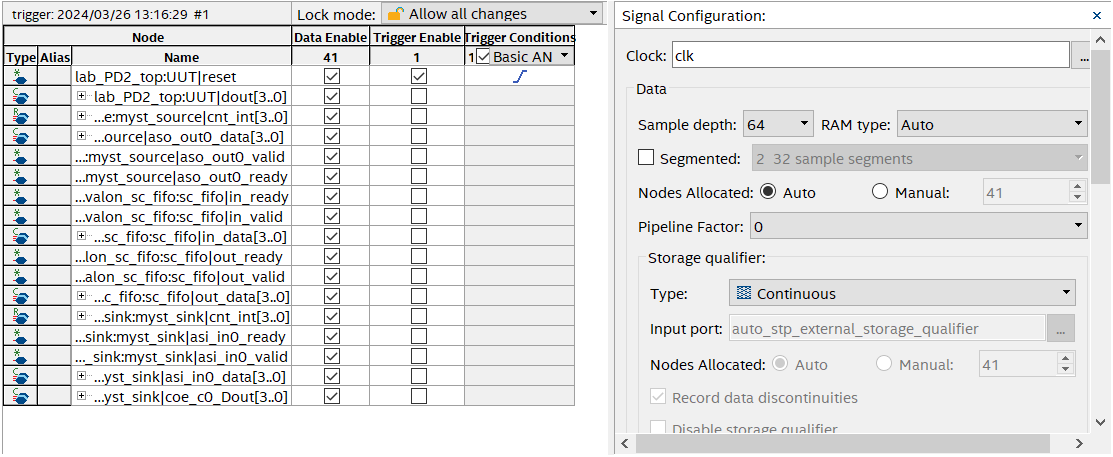


Рис. 18. Настройка для Signal Tap II.

Результат запуска приведен ниже:

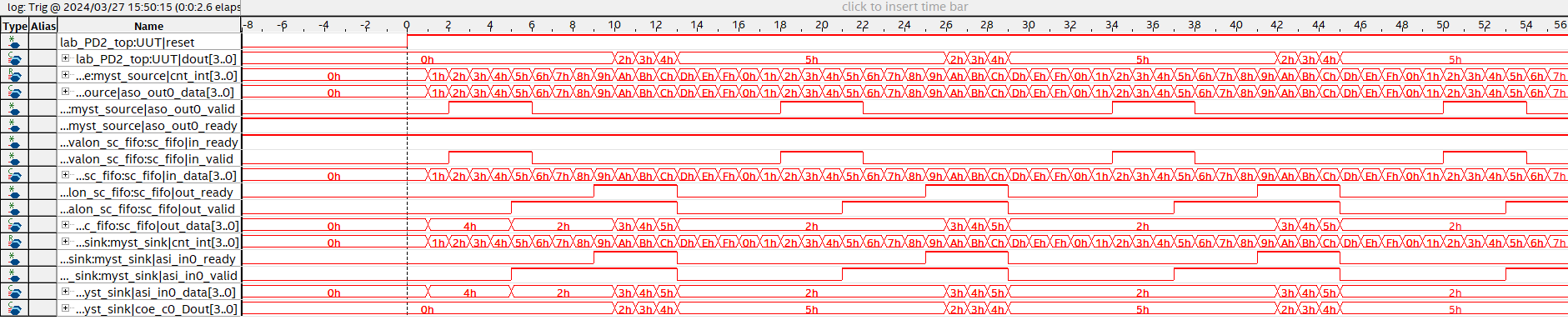


Рис. 19. Signal Tap II.

Как мы видим, результат совпадает с тестами и ожиданиями, что сведительствует о корректности выполненной работы.

# Вывод:

В ходе выполнения лабораторной работы была создана структура проекта с использованием Platform Designer. Этот инструмент предоставляет графический интерфейс для интеграции и настройки IP-блоков, что упрощает и ускоряет процесс разработки в сравнении с ручным написанием кода.

Преимущества Platform Designer включают в себя:

1. Ускорение разработки: Платформа предлагает готовые IP-блоки, которые могут быть легко интегрированы в проект, сокращая время разработки.
2. Упрощение процесса: Использование графического интерфейса позволяет избежать сложностей в написании и отладке кода, особенно для начинающих разработчиков.
3. Модульность и повторное использование: IP-блоки могут быть использованы в разных проектах, что способствует повторному использованию кода и упрощает поддержку проектов.
4. Визуализация системы: Платформа предоставляет графическое представление структуры проекта, что облегчает понимание и анализ системы.

Таким образом, использование Platform Designer обеспечивает эффективное управление проектом, ускоряет его разработку и повышает его надежность за счет готовых компонентов и удобного интерфейса.